

超薄栅氧 MOS 器件传统关态栅泄漏电流研究

胡仕刚, 吴笑峰, 席在芳

(湖南科技大学 信息与电气工程学院, 湖南 湘潭 411201)

摘 要: 理论分析了 MOSFET 关态泄漏电流产生的物理机制, 深入研究了栅氧化层厚度为 1.4 nm MOSFET 传统关态下边缘直接隧穿栅泄漏现象. 结果表明: 边缘直接隧穿电流服从指数变化规律; 传统关态下边缘直接隧穿对长沟道器件的影响大于短沟道器件; 衬底反偏在一定程度上减小边缘直接隧穿泄漏电流.

关键词: 直接隧穿; MOSFET; 栅氧化层

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2011)12-0133-04

Study on the Gate Leakage Current of Ultra-thin MOS Devices in Conventional Off-state

HU Shi-gang, WU Xiao-feng, XI Zai-fang

(School of Information and Electrical Engineering, Hunan University of Science and Technology, Xiangtan 411201, China)

Abstract: The physical mechanism of off-state leakage current is analyzed abstractly. The edge direct-tunneling (EDT) gate leakage current of MOSFET with 1.4 nm gate oxide biased in conventional off-state is studied in depth. The results showed that the change of the EDT current obeys index law, the EDT makes a greater impact on short-channel devices than that on long-channel device in conventional off-state, and the EDT current is reduced to a certain extent with the substrate biased reversely.

Key words: direct tunneling; MOSFET; gate oxide

1 引言

几十年来, 硅基微电子技术遵循 Moore 定律向前迅猛发展, 在未来几十年内微电子产业仍然会以硅基 CMOS 工艺技术为主流^[1-2]. 随着 MOS 器件尺寸缩小, 栅氧化层厚度不断减薄, 栅极泄漏电流迅速增加. 一个面积为 $0.05 \mu\text{m}^2$ (例如 $L=0.1 \mu\text{m}$, $W=0.5 \mu\text{m}$) 的 MOSFET, 若栅氧化层厚度分别为 2 nm、1.5 nm 和 1 nm, 在 1 V 栅电压下对应的栅电流分别是 3 pA、1 nA 和 $50 \mu\text{A}$ ^[3]. 显然, 若氧化层厚度减小到 2 nm 以下, 隧穿效应引起的栅极泄漏电流将变得严重. 穿越 MOSFET 栅氧化层的隧穿电流不仅存在于反型沟道内, 也存在于栅-源、栅-漏覆盖区的积累层内. 随着沟道长度的缩小, 覆盖

区所占的比例增大, 穿越覆盖区的隧穿电流的影响将变得更加显著. 穿越栅氧化层的边缘直接隧穿电流增加了电路的泄漏电流, 从而增加了电路的静态功耗.

本文主要对 90 nm 标准 CMOS 工艺生产的栅氧化层厚度为 1.4 nm LDD MOSFET 的传统关态下的泄漏电流进行研究, 尤其是对边缘直接隧穿产生的栅泄漏电流进行研究.

2 MOS 器件关态泄漏机制

随着 CMOS 器件尺寸的不断缩小, 关态泄漏电流导致的静态功耗越来越大^[4-6]. 传统关态电流主要泄漏机理是短沟道效应 (SCE) 引起的漏电压感应源势垒降低^[7], 表现为随着漏电压的升高, 亚阈值电流

收稿日期: 2011-03-02; **修回日期:** 2011-05-09

基金项目: 国家自然科学基金资助项目 (61074051); 湖南省教育厅资助项目 (10C0709); 湖南科技大学博士启动基金项目 (E51080)

增大,但随着栅氧化层厚度的减小,别的泄漏机理也将产生关态功耗.当氧化层厚度小到 2.5 nm 时,直接隧穿引起的栅泄漏将不可忽视.直接隧穿电流随着氧化层厚度的减小呈指数规律增加,已经成为 CMOS 器件尺寸等比例缩小的主要限制因素之一[8].

在 CMOS 逻辑电路中, NMOS 器件通常存在两种典型的偏置不同的关态,如图 1 所示. 图 1(a) 中, $V_g = V_{DD}$, 其他端电压为 0 V, 此时直接隧穿栅泄漏沿着沟道均匀产生. 这种关态泄漏电流在厚栅氧($t_{ox} > 3$ nm) MOS 器件中可以忽略. 但对于超薄栅氧 MOS 器件, 栅电流等于器件总的关态电流, 它产生的静态功耗不可忽视.

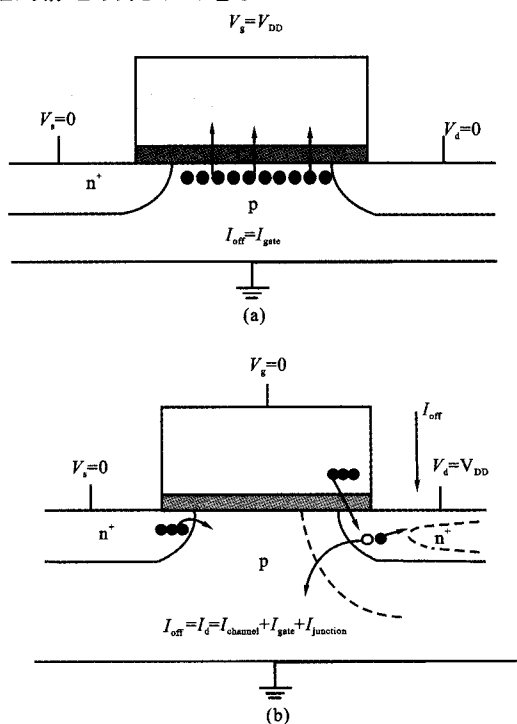


图 1 NMOSFET 中两种偏置不同的关态

图 1(b) 中, $V_d = V_{DD}$, 其他端电压为 0 V, 这种关态即是传统关态. 但对于超薄栅氧 NMOSFET, 这种偏置下将存在三种主要关态泄漏电流, 其一是由 DIBL 泄漏机制引起的亚阈沟道电流($I_{channel}$), 其二是边缘直接隧穿导致的栅泄漏电流(I_{gate}), 其三是由带带隧穿产生的结电流($I_{junction}$). 总的关态电流 $I_{off} = I_d = I_{channel} + I_{gate} + I_{junction}$. 边缘直接隧穿导致的栅泄漏能带图如图 2 所示. 本文重点对栅氧层厚 1.4 nm 的 MOS 器件传统关态下栅泄漏进行研究.

3 实验结果及讨论

首先, 对 90 nm 标准 CMOS 工艺制造的栅氧化层厚度为 1.4 nm, 而沟道长度不同的两种 NMOS 器

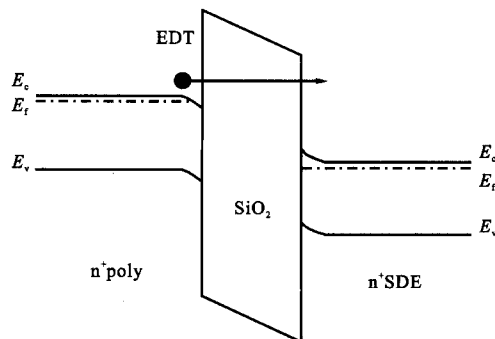


图 2 栅漏交叠区边缘直接隧穿能带图
件进行研究.

图 3 给出了关态下 $W/L = 10\mu\text{m}/10\mu\text{m}$ 的 NMOSFET 各电流特性. 测试过程中 V_d 从 0 V 到 1 V 扫描, 而其他端电压为 0. 栅电流 I_g 不可忽视, 它起因于栅漏交叠区多晶硅栅电子从栅极到漏端的边缘直接隧穿. 该边缘直接隧穿电流负向变大, 且经过拟合服从 $|I_g| = A\exp(V_d/t) + y$ 规律变化, A, t, y 均为常数, 如图 4 所示. 栅电流 I_g 和衬底电流 I_b 两者之和近似与漏端电流 I_d 相等, 而对于这种长沟道器件, 由 DIBL 泄漏机制引起的亚阈电流 I_s 很小, 边缘直接隧穿引起的栅泄漏以及带带隧穿引起的结泄漏电流是主要的关态电流.

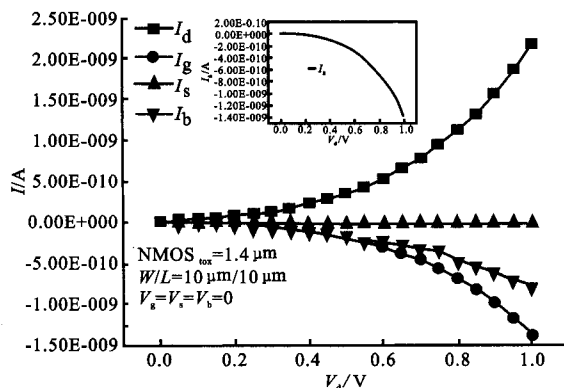


图 3 传统关态下 $W/L = 10\mu\text{m}/10\mu\text{m}$ 的 NMOSFET 四种电流

图 5 所示为传统关态下 $W/L = 10\mu\text{m}/0.09\mu\text{m}$ 的 NMOSFET 各电流特性. 其电流特性与长沟道器件有明显不同. 栅电流 I_g 和衬底电流 I_b 相对另外两种电流很小, 而由 DIBL 泄漏机制引起的亚阈电流 I_s 很大, 其大小与漏端电流 I_d 近似相等, 这说明对于短沟道器件, 亚阈电流将是主要的关态电流. 而由边缘直接隧穿引起的栅泄漏电流很小, 其变化是随着漏端电压增加而负向变大, 同样通过拟合发现服从 $|I_g| = A\exp(V_d/t) + y$ 规律变化.

衬底反向偏置是 MOS 器件调整阈值电压的有效方法. 衬底反向偏置下传统关态电流也将发生变

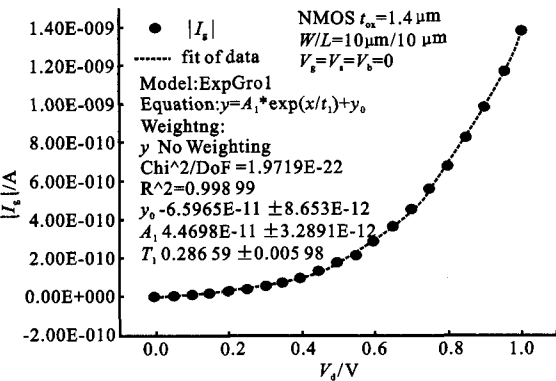


图4 传统关态下 $W/L = 10\text{ }\mu\text{m}/10\text{ }\mu\text{m}$ 的 NMOSFET 边缘直接隧穿电流

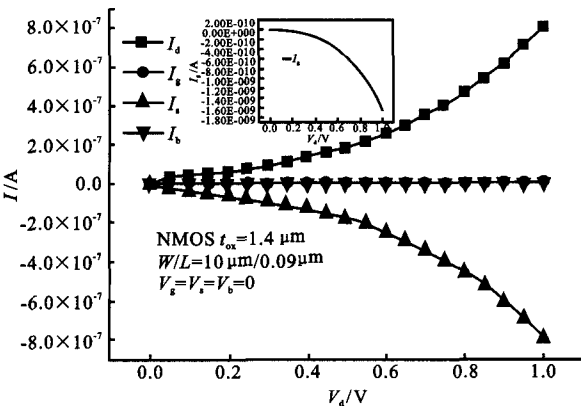
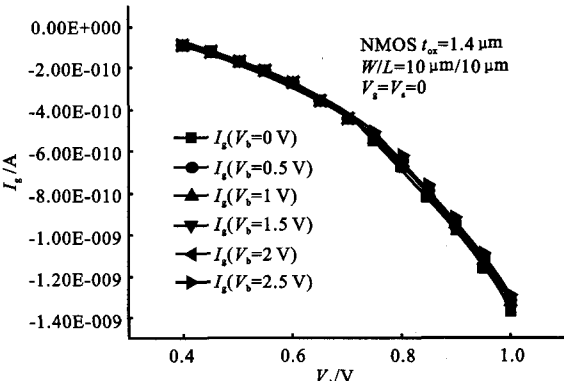


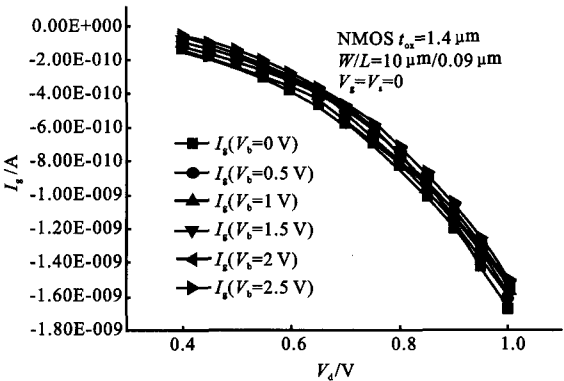
图5 传统关态下 $W/L = 10\text{ }\mu\text{m}/0.09\text{ }\mu\text{m}$ 的 NMOSFET 四种电流

化. 这里主要讨论衬底反向偏置下边缘直接隧穿栅泄漏电流的变化规律. 图 6 所示为传统关态下衬底反偏对器件边缘直接隧穿电流的影响. 测试过程中改变 V_b, V_d 从 0.4 V 到 1 V 扫描, 其他端口为 0, 测量 I_g . 边缘直接隧穿栅电流随着反偏衬底电压负向增加而负向减少, 短沟道器件中栅电流的减小幅度大于长沟道器件. 由此可以得出, 衬底反偏对传统关态下 NMOSFET 边缘直接隧穿导致的栅泄漏有一定的抑制作用.

对超短沟道 PMOSFET 进行类似测试研究, 测试过程中 V_d 从 0 V 到 -1 V 扫描, 而其他端电压为 0 V. 图 7 所示为关态下 $W/L = 10\text{ }\mu\text{m}/0.09\text{ }\mu\text{m}$ 的 PMOSFET 各电流特性. 其变化规律与短沟道 NMOSFET 类似. 栅漏交叠区空穴从多晶硅栅到漏端的边缘直接隧穿引起的栅泄漏电流, 随着漏端电压负向增加而正向增加, 同样通过拟合发现服从 $I_g = A\exp(V_d/t) + y$ 规律变化, 如图 8 所示. 边缘直接隧穿栅电流随着反偏衬底电压增加而减少, 如图 9 所示. 衬底反偏对传统关态下 PMOSFET 边缘直接隧穿导致的栅泄漏有一定的抑制作用.



(a) $W/L = 10\text{ }\mu\text{m}/10\text{ }\mu\text{m}$



(b) $W/L = 10\text{ }\mu\text{m}/0.09\text{ }\mu\text{m}$

图6 传统关态下 NMOSFET 衬底反偏对边缘直接隧穿电流影响

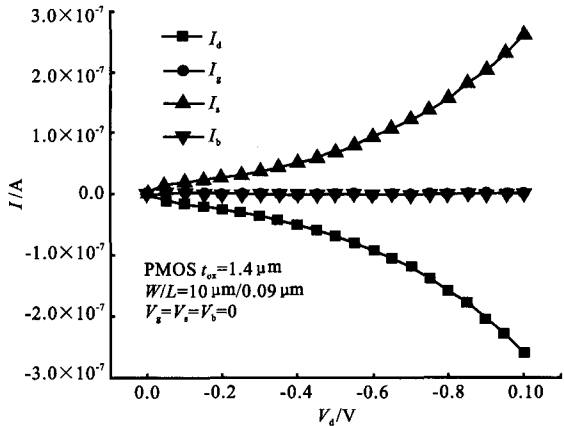


图7 传统关态下 $W/L = 10\text{ }\mu\text{m}/0.09\text{ }\mu\text{m}$ 的 PMOSFET 四种电流

4 结束语

文中基于可靠性理论和实验, 对标准 90 nm CMOS 工艺生产的, 栅氧化层厚度为 1.4 nm LDD NMOSFET 的关态泄漏电流进行了深入研究. 结果表明边缘直接隧穿电流服从指数变化规律; 传统关态下边缘直接隧穿对长沟道器件的影响大于短沟道器件; 衬底反偏在一定程度上减小边缘直接隧穿泄漏电流. 随着 MOS 器件尺寸的缩小和栅氧化层厚度

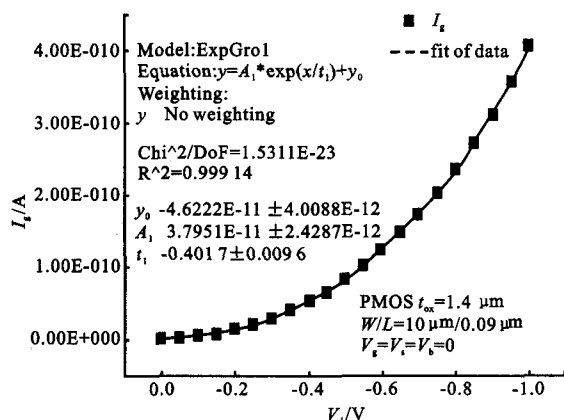


图8 传统关态下 $W/L = 10 \mu\text{m}/0.09 \mu\text{m}$ 的 PMOSFET 边缘直接隧穿电流

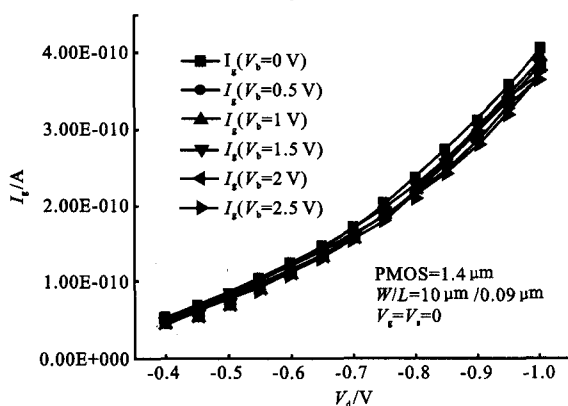


图9 传统关态 PMOSFET 衬底反偏对边缘直接隧穿电流影响

的减薄,传统关态泄漏电流将增加集成电路的静态功耗,深入研究其物理机制及变化规律将对集成电路的设计具有重要参考价值。

参考文献:

- [1] 肖海鹏, 马卓, 张民选, 等. 一种低成本高精度 CMOS 基准电压源设计[J]. 微电子学与计算机, 2010, 27(5): 121-124.
- [2] 李侃, 伍冬, 王雪强, 等. 基于 SOI2SONOS 存储器的高速辐照加固灵敏放大器设计[J]. 微电子学与计算机, 2010, 27(5): 22-26.
- [3] 甘学温, 黄如, 刘晓彦, 等. 纳米 CMOS 器件[M]. 北京: 科学出版社, 2004: 56-59.
- [4] Henson W K, Yang N, Kubicek S, et al. Analysis of leakage currents and impact on off-state power consumption for CMOS technology in the 100-nm regime [J]. IEEE Trans on Electron Devices, 2000, 45(7): 1393-1400.
- [5] Keunwoo K, Hanafi H I, Cai J, et al. Off-state current and performance analysis for double-gate CMOS with non-self-aligned back gate [J]. IEEE Trans on Electron Devices, 2005, 52(9): 2104-2107.
- [6] Keunwoo K, Das K K, Joshi R V, et al. Leakage power analysis of 25-nm double-gate CMOS devices and circuits [J]. IEEE Trans on Electron Devices, 2005, 52(5): 980-986.
- [7] Chouksey S, Fossum J G. DICE: A beneficial short-channel effect in nanoscale double-gate MOSFETs [J]. IEEE Trans on Electron Devices, 2008, 55(3): 796-802.
- [8] Hsu C Y, Lee C C, Lin Y T, et al. Enhanced hole gate direct tunneling current in process-induced uniaxial compressive stress p-MOSFETs [J]. IEEE Trans on Electron Devices, 2009, 56(8): 1667-1673.
- [6] Liu Y, Wang X, Chen R, et al. Generalized combining method for design of quasi-cyclic LDPC codes [J]. IEEE Communications Letters, 2008(12): 392-394.
- [7] Jiang X, Lee M. Large girth quasi-cyclic LDPC codes based on the chinese remainder theorem [J]. IEEE Communications Letters, 2009, 13(5): 342-344.
- [8] 尤肖虎, 王京, 张平, 等. 对绿色无线移动通信技术的研究

作者简介:

胡仕刚 男, (1980-), 博士, 讲师. 研究方向为小尺寸 MOS 器件及其可靠性、模拟 CMOS 集成电路设计。

吴笑峰 男, (1974-), 博士, 副教授. 研究方向为模拟 CMOS 集成电路设计。

席在芳 男, (1974-), 硕士, 副教授. 研究方向为通信系统仿真与设计。

作者简介:

徐华 男, (1975-), 博士, 副教授. 研究方向为信道编码、协作通信及数字图像处理。

(上接第 132 页)

和思考[J]. 中国科学技术大学学报, 2009, 39(10): 1009-1015.